Title: ELECTRONIC MODULE ARRANGEMENT AND CORRESPONDING PRODUCTION METHOD

Bezeichnung: ELEKTRONIKMODULANORDNUNG UND ENTSPRECHENDES HERSTELLUNGSVERFAHREN

Abstract: The invention relates to an electronic module arrangement, particularly for use in a motor vehicle, comprising: a first substrate (S1) having a first front side (011) and a first rear side (021); a second substrate (S2) having a second front side (012) and a second rear side (022), and at least one flat chip (C; C1, C2; C1', C2') mounted between the first and second front sides (011, 012) in a sandwich-like manner. An integrated spacing device is at least provided on at least one of the first and second front sides (011, 012), and has at least one spacing element (A1-A4; A1'-A4'; A1a-A1c, A2a, A2b; A01-A08; AG; AU; AL1, AL2; AQ1-AQ4) that is supported on the chip (C; C1, C2; C1', C1') or on the other of the first and second front sides (011, 012). The invention also relates to a corresponding production method.

Zusammenfassung: Die vorliegende Erfindung schafft eine Elektronikmodulanordnung, insbesondere zur Verwendung in einem Kraftfahrzeug, mit einem ersten Substrat (S1), welches eine erste Vorderseite (011) und eine erste Rückseite (021) aufweist; einem zweiten Substrat (S2), welches eine zweite Vorderseite (012) und eine zweite Rückseite (022) aufweist; und mindestens einem flächigen Chip (C; C1, C2; C1', C2'), welcher zwischen die erste und zweite Vorderseite (011, 012) sandwichartig montiert ist; wobei zumindest auf zumindest einer der ersten
und zweiten Vorderseite (011, 012) eine integrierte Abstandshaltereinrichtung vorgesehen ist, die mindestens ein Abstandshalterelement (A1-A4; A1’-A4’; A1a-A1c, A2a, A2b; A01-A08; AG; AU; AL1, AL2; AQ1-AQ4) aufweist, welches sich auf dem Chip (C, Cl, C2, C1, C1’) oder der anderen der ersten und zweiten Vorderseite (011, 012) abstützt. Die Erfindung schafft ebenfalls ein entsprechendes Herstellungsverfahren.
Elektronikmodulanordnung und entsprechendes Herstellungsverfahren

STAND DER TECHNIK

Die vorliegende Erfindung betrifft eine Elektronikmodulanordnung und ein entsprechendes Herstellungsverfahren.

Obwohl auf beliebige Kraftfahrzeuge anwendbar, werden die vorliegende Erfindung sowie die ihr zugrundeliegende Problematik in bezug auf eine an Bord eines Automobs befindliche Elektronikmodulanordnung erläutert.


Die Elektronik ist üblicherweise in Standard-Leiterplattentechnologie oder auf Keramikhybriden aufgebaut und zumeist in einem separaten Steuergerät montiert. Erwartungsweise wird sie mehr und mehr in die Mechanik integriert bzw. zusammen mit der Mechanik in mechatronischen Systemen kombiniert werden.


In heutigen Steuergeräten sind Logikteil und Leistungsteil üblicherweise baulich voneinander getrennt. Der Logikteil wird üblicherweise entweder auf Leiterplatten oder Keramiksubstraten, wie z.B. LTCC
(low temperature cofired ceramic) realisiert. Der Leistungsteil kann bei Anwendungen mit niedriger Leistungsaufnahme in Form gehäuster Bauteile, wie z.B. TO220-PowerMOS-Transistoren, auf einer Leiterplatte eingesetzt werden, welche allerdings zusätzliche Kühlkörper benötigen.


Jüngst ist vorgeschlagen worden, mehrere beidseitig lötbar Leistungstransistoren zwischen zwei DBC-Substrate als Verdrahtungsträger zu löten, welche eine der Applikation entsprechende elektrische Verschaltung realisieren. Beide Substrate übernehmen dabei die Funktion der mechanischen Stabilisierung, Wärmeableitung und der elektrischen Verdrahtung sowie elektrischen Isolierung gegenüber Kühlflächen. Ferner wurden Aufbauten entwickelt, bei denen das obere Substrat auf seiner Unterseite das Leistungsbauteil kontaktiert, auf der Oberseite aber die Logikbauteile zur Ansteuerung der Leistungsstufe geklebt oder gelötet sind. Neben dem reinen DBC-Sandwich sind Kombinationen unterschiedlicher Substrat- 

typen, wie z.B. Stanzgitter, Leiterplatte bzw. Keramiksubstrat denkbar.

Fig. 6 ist eine schematische Darstellung einer Elektronikmodulanordnung zur Illustration der der vorliegenden Erfindung zugrundeliegenden Problematik.

In FIG. 6 bezeichnet Bezugszeichen CT einen Halbleiterchip in Form eines MOSFET-Transistors, der über einen rückseitigen Lotbereich LR auf einen Leadframe LF gebunden ist. Vorderseitige Lotbereiche LV1, LV2, LV3 verbinden den Halbleiterchip CT mit einer vorderseitigen Leiterbahnseite LBE0 eines Keramiksubstrats SC. Das Keramiksubstrat SC weist Durchkontaktierungen KV1, KV2 auf, die die Leiterbahnseite LBE0 mit der rückseitigen Leiterbahnseite LBE1 verbinden. Zusätzlich vorgesehen sind noch Lotbereiche LV0, LV4 auf dem Leadframe LF, welche ebenfalls eine Verbindung zur vorderseitigen Leiterbahnebene LBE0 des Keramiksubstrats SC umfassen.


teverluste aufgrund unzureichender Fertigungssicherheiten sind die Folge. Das Problem verstärkt sich mit zunehmender Substratfläche aufgrund immer schwerer kontrollierbarer Ebenheiten bzw. Toleranzen.

**VORTEILE DER ERFINDUNG**

Die erfindungsgemäße Elektronikmodulanordnung mit den Merkmalen des Anspruchs 1 und das entsprechende Herstellungsverfahren gemäß Anspruch 8 weisen gegenüber den bekannten Lösungsansätzen den Vorteil auf, dass ein vertikaler Toleranzausgleich einfach möglich ist.


Es sind durch die Abstandshalterelemente keine signifikanten Einschränkungen in der Funktionalität, d.h. in den mechanischen, elektrischen oder thermischen Eigenschaften der Module zu erwarten. Im Gegenteil, die Funktionalität und Flexibilität des Modulbaukastens wird erheblich erweitert, wodurch weitere Vorteile gegenüber Konkurrenzprodukten erzielt werden.

Die Einstellung gleichmäßiger Verbindungsschichten mit einer genau definierten Minimaldicke lässt die thermomechanische Zuverlässigkeit gegenüber Systemen mit unkontrollierten Schichtdicken deutlich verbessern.

sicherheit. Sogenannte Lotnasen durch herausgedrücktes überschüssiges Lot werden verhindert. Die Fertigungssicherheit und damit die Ausbeute werden stark verbessert, was letztendlich zu einer deutlichen Kostenreduktion beiträgt.


Die erforderliche Schichtdicke orientiert sich an der gewünschten Dicke der Verbindungsstelle. Eine scharfe Kontur sowie ein hoher Freiheitsgrad beim Layout, beispielsweise geringe Strukturbreiten, sind sehr vorteilhaft. Die Abstandshalterelemente können z.B. punktuell in Form kleiner Säulen oder als Stege oder in jedem komplexeren Layout als U-Profile oder geschlossene Rahmen, als Einhüllende einer Lößtelle realisiert werden.


Vorzugsweise sind die Abstandshalter entlang der Peripherie der Verbindungsstellen platziert. Dadurch kann gleichzeitig die Funktion eines Lössstopps zur Vermeidung von Kurzschlüssen sowie der Selbstjustage des Bauelements realisiert werden. Die laterale Auflösung dieser Strukturen ist dabei abhängig vom verwendeten Verfahren. Besonders kostengünstige Verfahren, wie das Siebdruckverfahren, erlauben
beispielsweise Strukturbreiten von minimal 200 μm. Die minimal erreichbaren Strukturbreiten sind stark abhängig von der gewünschten Zielschichtdicke und vom jeweiligen Fertigungsverfahren.


Weitere bevorzugte Ausführungsformen sind ein halboffener Rahmen um die Verbindungsstelle, der gleichzeitig die Funktion eines Löstopps übernehmen kann, oder Anordnungen in Form zweier Stege. Weitere Ausführungsformen sind punktuelle säulenartige Geometrien, die wiederum um die Verbindungsstelle angeordnet sind. Beliebige Kombinationen und komplexere Formen sind ebenfalls realisierbar und werden prinzipiell nur durch das Fertigungsverfahren eingeschränkt.


In den Unteransprüchen finden sich vorteilhafte Weiterbildungen und Verbesserungen des jeweiligen Gegenstandes der Erfindung.

ZEICHNUNGEN

Ausführungsbeispiele der Erfindung ist in den Zeichnungen dargestellt und in der nachfolgenden Beschreibung näher erläutert.
Es zeigen:

Fig. 1a,b  eine jeweilige schematische Darstellung einer Elektronikmodulanordnung als erstes Ausführungsbeispiel der vorliegenden Erfindung, und zwar Fig. 1a vor dem Zusammenfügen und Fig. 1b nach dem Zusammenfügen;

Fig. 2a,b  eine jeweilige schematische Darstellung einer Elektronikmodulanordnung als zweites Ausführungsbeispiel der vorliegenden Erfindung, und zwar Fig. 2a vor dem Zusammenfügen und Fig. 2b nach dem Zusammenfügen; und

Fig. 3a,b  eine jeweilige schematische Darstellung einer Elektronikmodulanordnung als erstes Ausführungsbeispiel der vorliegenden Erfindung, und zwar Fig. 3a vor dem Zusammenfügen und Fig. 3b nach dem Zusammenfügen;

Fig. 4a,b  eine jeweilige schematische Darstellung einer Elektronikmodulanordnung als erstes Ausführungsbeispiel der vorliegenden Erfindung, und zwar Fig. 4a vor dem Zusammenfügen und Fig. 4b nach dem Zusammenfügen;

Fig. 5  eine schematische Darstellung möglicher Abstandselementkonfigurationen für Ausführungsbeispiele der Elektronikmodulanordnung gemäss der vorliegenden Erfindung; und

Fig. 6  eine schematische Darstellung einer Elektronikmodulanordnung zur Illustration der der vorliegenden Erfindung zugrundeliegenden Problematik.

BESCHREIBUNG DER AUSFÜHRUNGSBEISPIELE

In den Figuren bezeichnen gleiche Bezugszeichen gleiche oder funktionsgleiche Komponenten.

Fig. 1a,b sind eine jeweilige schematische Darstellung einer Elektronikmodulanordnung als erstes Ausführungsbeispiel der vorliegenden Erfindung, und zwar Fig. 1a vor dem Zusammenfügen und Fig. 1b nach dem Zusammenfügen.
In FIG. 1 bezeichnet Bezugszeichen S1 ein erstes Substrat, welches eine erste Vorderseite O11 und eine erste Rückseite O21 aufweist. Bezugszeichen S2 bezeichnet ein zweites Substrat, welches eine zweite Vorderseite O12 und eine zweite Rückseite O22 aufweist. Beim vorliegenden Beispiel sind die Substrate S1, S2 DBC-Keramiken.


Fügt man die beiden Substrate S1, S2 zusammen, so verbinden sich bei entsprechender Temperatur die Anschlussbereiche des Chips C mit der gegenüberliegendem Anschlussbereichen auf dem Substrat S1 über den Lotbereich LK. Weiterhin stützen sich die Abstandshalterelemente A1, A4 auf der zweiten Vorderseite O12 des zweiten Substrats S2 ab, und die Abstandshalterelemente A2, A3 stützen sich auf der freiliegenden Vorderseite des Chips C ab. Der Lotbereich LK erstarrt in einen Lotbereich LK', wobei die Abstandshalterelemente A2, A3 ein mögliches Zerfließen des Lotbereichs LK im Sinne von Lotstopps verhindern.

Durch die Abstandshalterelemente A1 bis A4 lassen sich vertikale Toleranzen ausgleichen, insbesondere dann, wenn beim Zusammenfügen der beiden Substrate S1, S2 ein gewisser Druck angewendet wird.

Fig. 2a,b sind jeweilige eine schematische Darstellung einer Elektronikmodulordnung als zweites Ausführungsbeispiel der vorliegenden Erfindung, und zwar Fig. 2a vor dem Zusammenfügen und Fig. 2b nach dem Zusammenfügen.

Bei der zweiten Ausführungsform gemäß FIG. 2 sind auf dem ersten Substrat S1 streifenförmige Abstandshalterelemente A1a, A1b, A1c, A2a, A2b vorgesehen sowie Lotbereiche LK1a, LK1b und LK auf dem Substrat oder Chip.
Auf dem zweiten Substrat S2 sind zwei verschiedene Halbleiterchips C1, C2 vorgesehen, welche sich durch verschiedene Anschlussbereiche unterscheiden, welche beim Zusammenfügen mit den Lotbereichen LK1a, LK1b bzw. LK2 in Verbindung gebracht werden.

Den montierten Zustand zeigt FIG. 2b, aus dem wiederum erkennbar ist, dass die erstarrten Lotbereiche LK1a′, LK1b′ bzw. LK2′ von den Abstandshalterelementen A1a, A1b, A1c bzw. A2a, A2b peripher umrandet sind.

Fig. 3a,b sind eine jeweilige schematische Darstellung einer Elektronikmodulanordnung als drittes Ausführungsbeispiel der vorliegenden Erfindung, und zwar Fig. 3a vor dem Zusammenfügen und Fig. 3b nach dem Zusammenfügen.

Im Unterschied zur obigen ersten und zweiten Ausführungsform sind bei der dritten Ausführungsform Abstandshaltereinrichtungen sowohl auf der ersten Vorderseite O11 des ersten Substrats S1 als auch auf der zweiten Vorderseite O12 des zweiten Substrats S2 vorgesehen. Dabei umfasst die Abstandshaltereinrichtung auf der ersten Vorderseite O11 Abstandshalterelemente A05, A06, A07, A08, wohingegen die Abstandshaltereinrichtung auf der zweiten Vorderseite O12 die Abstandshalterelemente A01, A02, A03, A04 umfasst.


Fig. 4a,b sind eine jeweilige schematische Darstellung einer Elektronikmodulanordnung als viertes Ausführungsbeispiel der vorliegenden Erfindung, und zwar Fig. 4a vor dem Zusammenfügen und Fig. 4b nach dem Zusammenfügen.

Die vierte Ausführungsform unterscheidet sich von der obigen ersten bis dritten Ausführungsform insofern, als dass die integrierte Abstandshaltereinrichtung nicht eine strukturierte Schicht, z.B. eine Photo- lackschicht, ist, sondern in die erste Vorderseite O11 strukturiert ist, beispielsweise durch einen Stanz- oder Fräsprozess. Auch werden bei diesem Beispiel keine Lotbereiche verwendet, um den Halbleiterchip C zu montieren, sondern Klebebereiche KLS auf der zweiten Vorderseite O12 bzw. KLK zwischen den

Fig. 5 ist eine schematische Darstellung möglicher Abstandselementkonfigurationen für Ausführungsbeispiele der Elektronikmodulanordnung gemäß der vorliegenden Erfindung.

In Fig. 5 bezeichnet im linken oberen Bereich Bezugszeichen AG eine integrierte Abstandshaltereinrichtung in Form eines Gitters. Bezugszeichen K11, K12, K13, K14, K15, K16, K17, K18, K19 sind Kontaktbereiche auf der ersten Vorderseite O11 des ersten Substrats S1, auf die entsprechende Lotbereiche später aufgebracht werden oder diese Lotbereiche vom Chip in Form eines Multibump-Arrays mitgebracht werden.

Im rechten oberen Bereich bezeichnet Bezugszeichen AO eine integrierte Abstandshaltereinrichtung in Form eines halboffenen Rahmens, der einen Kontaktbereich K20 auf der ersten Vorderseite O11 U-förmig einschließt.

Im linken unteren Bereich weist die integrierte Abstandshaltereinrichtung zwei streifenartige Stege AL1, AL2 als Abstandshalterelemente auf, zwischen denen ein Kontaktbereich K30 liegt.

Im rechten unteren Bereich umfasst die integrierte Abstandshaltereinrichtung vier Abstandshalterelemente AQ1, AQ2, AQ3, AQ4 in Form von Säulen, die einen Kontaktbereich K40 umgeben.

Beliebige Kombinationen derartiger Abstandshalterelemente und komplexere Formen sind selbstverständlich realisierbar und werden nur durch das betreffende Fertigungsverfahren limitiert.
Elektronikmodulanordnung und entsprechendes Herstellungsverfahren

BEZUGSZEICHENLISTE:

S1,S2 erstes, zweites Substrat
O11,O12 erste, zweite Vorderseite
O21,O22 erste, zweite Rückseite
A1-A4; A1'-A4' Abstandshalterelemente
A1a-A1c, A2a, A2b;
A01-A08; AG; AU;
AL1, AL2;AQ1-AQ4
C; C1, C2; C1', C2' Chip
LK'; LK1a', LK1b'; Loßbereich
LK11', LK12', LK13', LK03'
LK; LK1a, LK1b;
LK11, LK12, LK13, LK03
KLK', KLK Klebebereich
K11-K19; K20, K30, K40 Kontaktbereiche
LF Leadframe
SC Keramiksubstrat
KV1, KV2 Durchkontaktierung
LBE1, LBE0 Leiterbahnebene
CT MOSFET-Chip
LV0-LV4 Loßbereiche
PATENTANSPRÜCHE

1. Elektronikmodulanordnung, insbesondere zur Verwendung in einem Kraftfahrzeug, mit:

einem ersten Substrat (S1), welches eine erste Vorderseite (O11) und eine erste Rückseite (O21) aufweist;

einem zweiten Substrat (S2), welches eine zweite Vorderseite (O12) und eine zweite Rückseite (O22) aufweist; und

mindestens einem flächigen Chip (C; C1, C2; C1′, C2′), welcher zwischen die erste und zweite Vorderseite (O11, O12) sandwichartig montiert ist;

wobei zumindest auf zumindest einer der ersten und zweiten Vorderseite (O11, O12) eine integrierte Abstandshaltereinrichtung vorgesehen ist, die mindestens ein Abstandshalterelement (A1-A4; A1′-A4′; A1a-A1c, A2a, A2b; A01-A08; AG; AU; AL1, AL2; AQ1-AQ4) aufweist, welches sich auf dem Chip (C; C1, C2; C1′, C2′) oder der anderen der ersten und zweiten Vorderseite (O11, O12) abstützt.

2. Elektronikmodulanordnung nach Anspruch 1, dadurch gekennzeichnet, dass der Chip (C; C1, C2; C1′, C2′) durch einen jeweiligen Lotbereich (LK; LK1a, LK1b; LK11, LK12, LK13, LK03) oder Klebebereich (KLK) mit der ersten und zweiten Vorderseite (O11, O12) verbunden ist.

3. Elektronikmodulanordnung nach Anspruch 2, dadurch gekennzeichnet, dass sich das Abstandshalterelement (A1-A4; A1′-A4′; A1a-A1c, A2a, A2b; A01-A08; AG; AU; AL1, AL2; AQ1-AQ4) auf dem Chip (C; C1, C2; C1′, C2′) abstützt und den jeweiligen Lotbereich (LK; LK1a, LK1b; LK11, LK12, LK13, LK03) oder Klebebereich (KLK) als Lotstopp bzw. Klebestopp im Nahbereich zumindest teilweise umgibt.
4. Elektronikmodulanordnung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass die Abstandshaltereinrichtung eine auf die erste und/oder zweite Vorderseite (O11, O12) aufgebrachte, zur Bildung der Abstandshalterelemente (A1-A4; A1a-A1c, A2a, A2b; A01-A08; AG; AU; AL1, AL2; AQ1-AQ4) strukturierte Schicht ist.

5. Elektronikmodulanordnung nach Anspruch 4, dadurch gekennzeichnet, dass die strukturierte Schicht eine Kunststoffschicht, insbesondere eine Lackschicht, ist.

6. Elektronikmodulanordnung nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, dass die Abstandshaltereinrichtung zur Bildung der Abstandshalterelemente (A1'-A4') in die erste und/oder zweite Vorderseite (O11, O12) eingeprägt ist.

7. Elektronikmodulanordnung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass das erste oder zweite Substrat (S1; S2) ein Keramiksubstrat oder ein Metallssubstrat ist.

8. Herstellungsverfahren für eine Elektronikmodulanordnung, insbesondere zur Verwendung in einem Kraftfahrzeug, mit den Schritten:

Bereitstellen von einem ersten Substrat (S1), welches eine erste Vorderseite (O11) und eine erste Rückseite (O21) aufweist;

Bereitstellen von einem zweiten Substrat (S2), welches eine zweite Vorderseite (O12) und eine zweite Rückseite (O22) aufweist;

wobei zumindest auf zumindest einer der ersten und zweiten Vorderseite (O11, O12) eine integrierte Abstandshaltereinrichtung vorgesehen ist, die mindestens ein Abstandshalterelement (A1-A4; A1'-A4'; A1a-A1c, A2a, A2b; A01-A08; AG; AU; AL1, AL2; AQ1-AQ4) aufweist;

sandwichartiges Montieren von mindestens einem flächigen Chip (C; C1, C2; C1', C2') zwischen die erste und zweite Vorderseite (O11, O12) derart, dass sich das Abstandshalterelement (A1-A4; A1'-A4'; A1a-A1c, A2a, A2b; A01-A08; AG; AU; AL1, AL2; AQ1-AQ4) auf dem Chip (C; C1, C2; C1', C2') oder der anderen der ersten und zweiten Vorderseite (O11, O12) abstützt.
9. Verfahren nach Anspruch 8, dadurch gekennzeichnet, dass der Chip (C; C1, C2; C1', C2') durch einen jeweiligen Lotbereich (LK'; LK1a', LK1b'; LK11', LK12', LK13', LK03') oder Klebebereich (KLK') mit der ersten und zweiten Vorderseite (O11, O12) verbunden wird.

10. Verfahren nach Anspruch 9, dadurch gekennzeichnet, dass das Abstandshalterelement (A1-A4; A1'-A4'; A1a-A1c, A2a, A2b; A01-A08; AG; AU; AL1, AL2;AQ1-AQ4) auf dem Chip (C; C1, C2; C1', C2') abgestützt wird und den jeweiligen Lotbereich (LK'; LK1a', LK1b'; LK11', LK12', LK13', LK03') oder Klebebereich (KLK') als Lotstopp bzw. Klebestopp im Nahbereich zumindest teilweise umgibt.

11. Verfahren nach einem der vorhergehenden Ansprüche 8 bis 10, dadurch gekennzeichnet, dass eine Schicht auf die erste und/oder zweite Vorderseite (O11, O12) aufgebracht und zur Bildung der Abstandshalterelemente (A1-A4; A1a-A1c, A2a, A2b; A01-A08; AG; AU; AL1, AL2;AQ1-AQ4) strukturiert wird.

12. Verfahren nach Anspruch 11, dadurch gekennzeichnet, dass die strukturierte Schicht eine Kunststoffschicht, insbesondere eine Lackschicht, ist, die durch einen Photoprozess strukturiert wird.

13. Verfahren nach einem der Ansprüche 8 bis 10, dadurch gekennzeichnet, dass die Abstandshalterelemente (A1'-A4') in die erste und/oder zweite Vorderseite (O11, O12) eingeprägt werden.

14. Verfahren nach einem der vorhergehenden Ansprüche 8 bis 13, dadurch gekennzeichnet, dass das erste oder zweite Substrat (S1; S2) ein Keramiksubstrat oder ein Metallssubstrat ist.
Fig. 1a

Fig. 1b
INTERNATIONAL SEARCH REPORT

A. CLASSIFICATION OF SUBJECT MATTER

IPC 7 H01L25/07 H01L23/498 H01L23/495

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic database consulted during the international search (name of database and, where practical, search terms used)

EPO-Internal

C. DOCUMENTS CONSIDERED TO BE RELEVANT

<table>
<thead>
<tr>
<th>Category</th>
<th>Citation of document, with indication, where appropriate, of the relevant passages</th>
<th>Relevant to claim No.</th>
</tr>
</thead>
<tbody>
<tr>
<td>X</td>
<td>FR 2 822 591 A (COMMISSARIAT A L'ENERGIE ATOMIQUE) 27 September 2002 (2002-09-27) page 9, line 10 - page 10, line 15 page 13, lines 12-16; figure 3</td>
<td>1-5,8-12</td>
</tr>
<tr>
<td>X</td>
<td>US 5 006 921 A (ISHIZUKA ET AL) 9 April 1991 (1991-04-09) columns 9-10; figures 17,18</td>
<td>1,2,6-9, 14</td>
</tr>
<tr>
<td>X</td>
<td>US 6 703 707 B1 (MAMITSU KUNIAKI ET AL) 9 March 2004 (2004-03-09) columns 12,16,17; figures 8A,14C,16</td>
<td>1,2,7-9, 14</td>
</tr>
<tr>
<td>X</td>
<td>US 6 448 645 B1 (KIMURA TOMONORI ET AL) 10 September 2002 (2002-09-10) column 11, line 48 - column 12, line 4; figures 13,14</td>
<td>1,2,6-9, 13,14</td>
</tr>
</tbody>
</table>

Further documents are listed in the continuation of box C. Patent family members are listed in annex.

Date of the actual completion of the international search

16 August 2005

Date of mailing of the international search report

24/08/2005

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2 NL-520 Eindhoven Netherlands
Tel: (+31-70) 340-2040, Tx: 31651 epo nl, Fax: (+31-70) 340-2016

Authorized officer

Cousins, D
<table>
<thead>
<tr>
<th>Category</th>
<th>Citation of document, with indication, where appropriate, of the relevant passages</th>
<th>Relevant to claim No.</th>
</tr>
</thead>
<tbody>
<tr>
<td>X</td>
<td>DE 101 56 626 A1 (ROBERT BOSCH GMBH) 5 June 2003 (2003-06-05) paragraph '0014!; figure 1</td>
<td>1,2,7</td>
</tr>
<tr>
<td>Patent document cited in search report</td>
<td>Publication date</td>
<td>Patent family member(s)</td>
</tr>
<tr>
<td>---------------------------------------</td>
<td>-----------------</td>
<td>-------------------------</td>
</tr>
<tr>
<td></td>
<td></td>
<td>WO 02078088 A1</td>
</tr>
<tr>
<td></td>
<td></td>
<td>JP 2534749 B2</td>
</tr>
<tr>
<td></td>
<td></td>
<td>JP 2065144 A</td>
</tr>
<tr>
<td></td>
<td></td>
<td>JP 2094448 A</td>
</tr>
<tr>
<td></td>
<td></td>
<td>DE 3910470 A1</td>
</tr>
<tr>
<td></td>
<td></td>
<td>JP 1315146 A</td>
</tr>
<tr>
<td></td>
<td></td>
<td>JP 2001156225 A</td>
</tr>
<tr>
<td></td>
<td></td>
<td>JP 3596388 B2</td>
</tr>
<tr>
<td></td>
<td></td>
<td>JP 2001156219 A</td>
</tr>
<tr>
<td></td>
<td></td>
<td>JP 3614079 B2</td>
</tr>
<tr>
<td></td>
<td></td>
<td>JP 2001274177 A</td>
</tr>
<tr>
<td></td>
<td></td>
<td>JP 3630070 B2</td>
</tr>
<tr>
<td></td>
<td></td>
<td>JP 2001284525 A</td>
</tr>
<tr>
<td></td>
<td></td>
<td>JP 3620399 B2</td>
</tr>
<tr>
<td></td>
<td></td>
<td>JP 2001284510 A</td>
</tr>
<tr>
<td></td>
<td></td>
<td>JP 3601432 B2</td>
</tr>
<tr>
<td></td>
<td></td>
<td>JP 2002110893 A</td>
</tr>
<tr>
<td></td>
<td></td>
<td>DE 10058446 A1</td>
</tr>
<tr>
<td></td>
<td></td>
<td>FR 2801423 A1</td>
</tr>
<tr>
<td></td>
<td></td>
<td>US 2003132530 A1</td>
</tr>
<tr>
<td></td>
<td></td>
<td>US 2004089940 A1</td>
</tr>
<tr>
<td></td>
<td></td>
<td>US 2004089925 A1</td>
</tr>
<tr>
<td></td>
<td></td>
<td>US 2004089941 A1</td>
</tr>
<tr>
<td></td>
<td></td>
<td>US 2004089942 A1</td>
</tr>
<tr>
<td></td>
<td></td>
<td>US 2005167821 A1</td>
</tr>
<tr>
<td></td>
<td></td>
<td>US 2004070072 A1</td>
</tr>
<tr>
<td></td>
<td></td>
<td>US 2004070060 A1</td>
</tr>
<tr>
<td></td>
<td></td>
<td>US 2004097082 A1</td>
</tr>
<tr>
<td></td>
<td></td>
<td>EP 1449252 A2</td>
</tr>
<tr>
<td></td>
<td></td>
<td>JP 2005510877 T</td>
</tr>
<tr>
<td></td>
<td></td>
<td>US 2005151161 A1</td>
</tr>
</tbody>
</table>
### INTERNATIONALER RECHERCHENBERICHT

**NACH DER INTERNATIONALEN PATENTKLASSEIFIZIERUNG (IPK) ODER NACH DER NATIONALER KLASSEIFIZIERUNG UND DER IPK**

**B. RECHERCIERTE GEBIETE**

Recherchierte Mindestpräparate (Klassifikationssystem und Klassifikationssymbole)

IPK 7 HO1L

Recherchierte aber nicht zum Mindestpräparat gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal

### C. ALS WESENTLICH ANGESEHENEN UNTERLAGEN

<table>
<thead>
<tr>
<th>Kategorie*</th>
<th>Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile</th>
<th>Betr. Anspruch Nr.</th>
</tr>
</thead>
<tbody>
<tr>
<td>X</td>
<td>FR 2 822 591 A (COMMISSARIAT A L'ENERGIE ATOMIQUE) 27. September 2002 (2002-09-27) Seite 9, Zeile 10 - Seite 10, Zeile 15 Seite 13, Zeilen 12-16; Abbildung 3</td>
<td>1-5,8-12</td>
</tr>
<tr>
<td>X</td>
<td>US 5 006 921 A (ISHIZUKA ET AL) 9. April 1991 (1991-04-09) Spalten 9-10; Abbildungen 17,18</td>
<td>1,2,6-9, 14</td>
</tr>
<tr>
<td>X</td>
<td>US 6 448 645 B1 (KIMURA TOMONORI ET AL) 10. September 2002 (2002-09-10) Spalte 11, Zeile 48 - Spalte 12, Zeile 4; Abbildungen 13,14</td>
<td>1,2,6-9, 13,14</td>
</tr>
<tr>
<td></td>
<td></td>
<td></td>
</tr>
</tbody>
</table>

*Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen*

* Siehe Anhang Patentfamilie

* Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kolлизiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

* Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

* Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann nahestehend ist

---

Datum des Abschlusses der internationalen Recherche

16. August 2005

Name und Postanschrift der internationalen Recherchebehörde

Europäisches Patentamt, P.B. 5818 Patentst. 2 NL - 2280 HV Flinsjek
Tel. (+31-70) 340-3040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Cousins, D

Absendetermin des internationalen Recherchenberichts

24/08/2005
<table>
<thead>
<tr>
<th>Kategorie</th>
<th>Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile</th>
<th>Betr. Anspruch Nr.</th>
</tr>
</thead>
<tbody>
<tr>
<td>X</td>
<td>DE 101 56 626 A1 (ROBERT BOSCH GMBH) 5. Juni 2003 (2003-06-05) Absatz '0014!; Abbildung 1</td>
<td>1,2,7</td>
</tr>
<tr>
<td>Im Recherchenbericht angeführtes Patentdokument</td>
<td>Datum der Veröffentlichung</td>
<td>Mitglied(er) der Patentfamilie</td>
</tr>
<tr>
<td>-------------------------------------------------</td>
<td>---------------------------</td>
<td>-------------------------------</td>
</tr>
<tr>
<td>WO 02078088 A1</td>
<td></td>
<td></td>
</tr>
<tr>
<td>JP 05-12-1989</td>
<td></td>
<td></td>
</tr>
<tr>
<td>JP 2001156225 A</td>
<td></td>
<td>JP 2001156219 A</td>
</tr>
<tr>
<td>JP 3596388 B2</td>
<td></td>
<td>JP 3614079 B2</td>
</tr>
<tr>
<td>JP 3630070 A</td>
<td></td>
<td>JP 2002110893 A</td>
</tr>
<tr>
<td>JP 2002110893 A</td>
<td></td>
<td>JP 3601432 B2</td>
</tr>
<tr>
<td>JP 3601432 A</td>
<td></td>
<td>JP 2004089925 A</td>
</tr>
<tr>
<td>JP 2002110893 A</td>
<td></td>
<td>JP 3601432 A</td>
</tr>
<tr>
<td>JP 10058446 A</td>
<td></td>
<td>JP 2004089925 A</td>
</tr>
<tr>
<td>FR 2801423 A</td>
<td></td>
<td>JP 3601432 A</td>
</tr>
<tr>
<td>US 2004089941 A</td>
<td></td>
<td>US 2003132530 A</td>
</tr>
<tr>
<td>US 2004089942 A</td>
<td></td>
<td>US 2004089940 A</td>
</tr>
<tr>
<td>US 2004089941 A</td>
<td></td>
<td>US 2004089942 A</td>
</tr>
<tr>
<td>US 2005167821 A</td>
<td></td>
<td>US 2005167821 A</td>
</tr>
<tr>
<td>US 2004070072 A</td>
<td></td>
<td>US 2005167821 A</td>
</tr>
<tr>
<td>US 2004070060 A</td>
<td></td>
<td>US 2004070060 A</td>
</tr>
<tr>
<td>US 2004097082 A</td>
<td></td>
<td>US 2004097082 A</td>
</tr>
<tr>
<td>US 2004089941 A</td>
<td>10-09-2002</td>
<td></td>
</tr>
<tr>
<td>EP 1449252 A2</td>
<td></td>
<td>JP 2005510877 T</td>
</tr>
<tr>
<td>JP 03046988 A2</td>
<td></td>
<td>US 2005151161 A1</td>
</tr>
<tr>
<td>US 2005151161 A1</td>
<td>05-06-2003</td>
<td></td>
</tr>
</tbody>
</table>